



描述

HR3992是一种便于使用PWM来控制电流的双极微特步进电机驱动器，输出驱动能力达到35V和±1.5A。内部固定关闭时间的PWM电流控制时序电路可以通过串行接口进行编程，使其工作在慢衰、快衰或混合衰减模式。

通过串行总线，利用两个六比特线性DAC结合一个参考电压来决定预期负载电流。六比特的控制允许最大灵活的实现力矩控制，多种步进模式，从微步进到整步驱动。负载电流最小增量为1.56%，相对于最大值。

在电流衰减期间，同步整流电路允许电流流经低导通电阻 R_{DS} 的DMOS驱动管，这样省去了外部齐纳二极管，改善了PWM操作时的功耗。

内部保护电路包括：带迟滞额过热保护、欠压锁定及过流保护。不需要特别的上电时序。

HR3992目前提供一种贴片封装：带有裸露焊盘的TSSOP-24封装，能有效改善散热性能，且是无铅产品，引脚框采用100%无锡电镀。

特点

- ±1.5A 35V输出
- 低导通电阻 $R_{DS(ON)}$
- 6bits 线性DACs 实现微步进
- 可编程慢衰、快衰和混合衰减模式
- 内部4M时钟
- 串行总线控制
- 降低功耗的同步整流功能
- 兼容3.3V和5V逻辑电平
- 过流保护
- 内部欠压锁定和过热关断保护
- 对地短路保护
- 负载短路保护
- 低电流睡眠模式和空闲模式，<10uA

封装形式

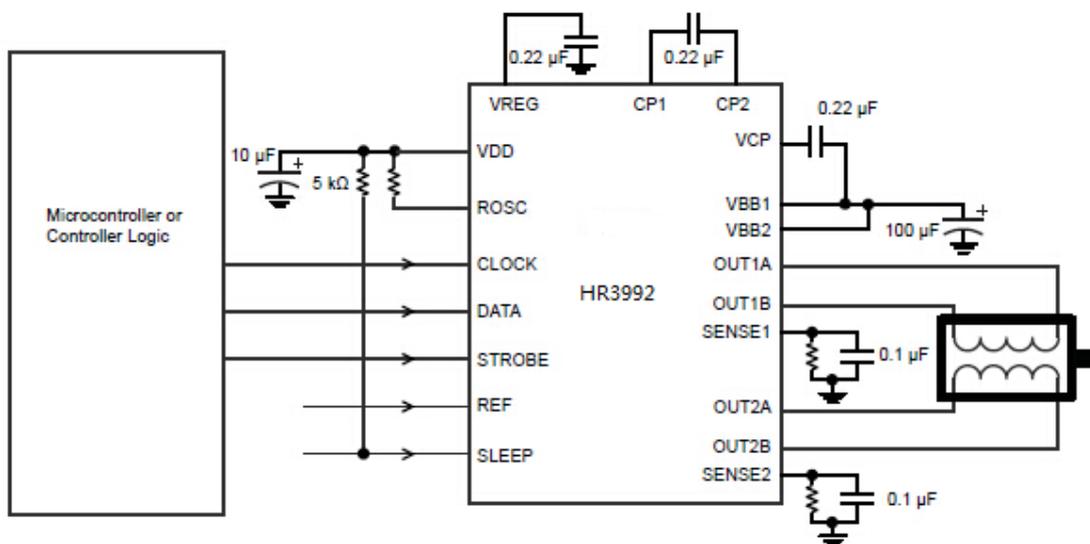


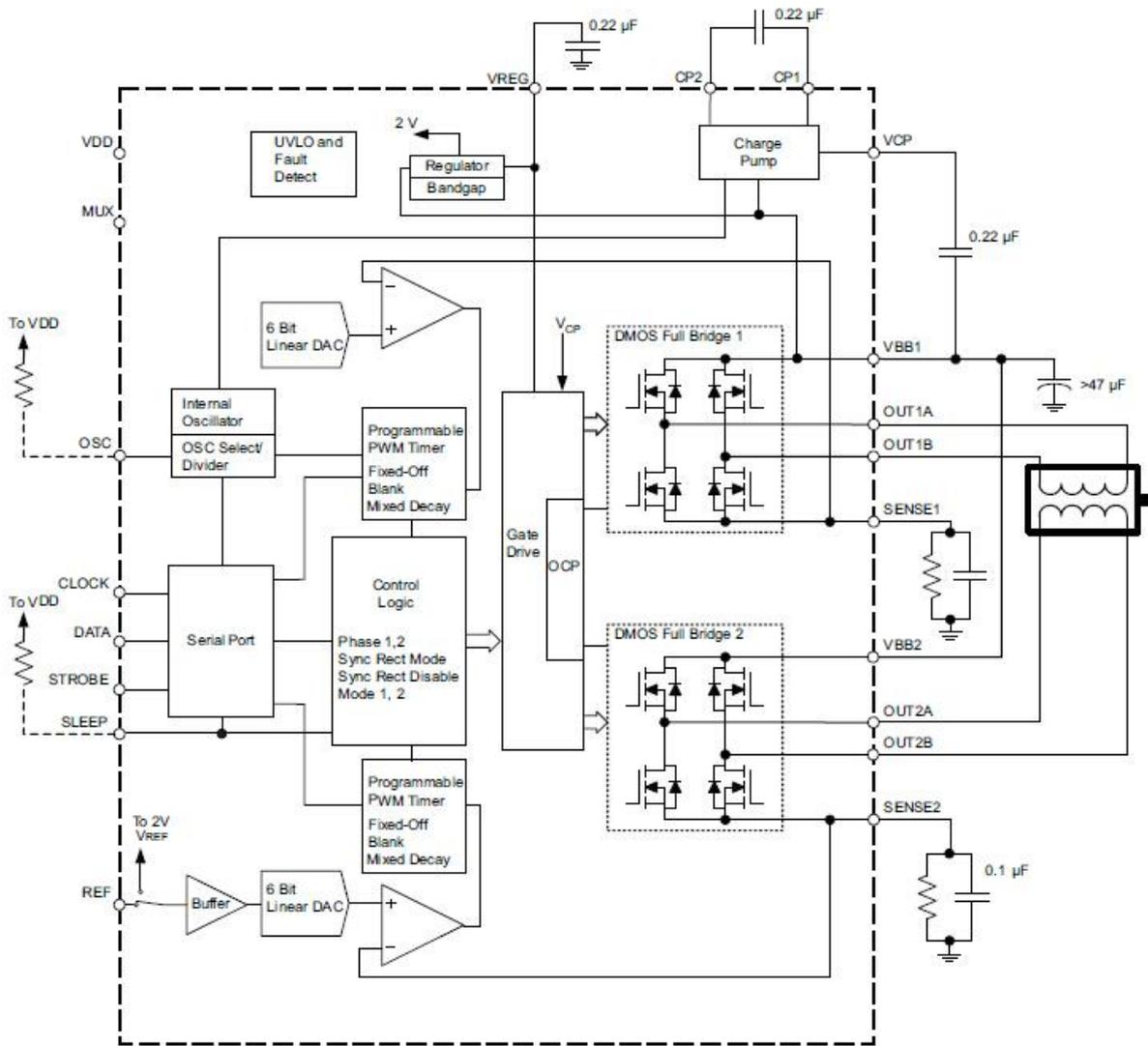
24 pin TSSOP
with exposed thermal pad

型号选择

Part Number	Package
HR3992	TSSOP24 with exposed thermal pad

Typical Application





电路工作极限 at $T_a = 25^\circ\text{C}$

Parameter	Symbol	Conditions	Ratings	Unit
Load Supply Voltage	V_{BB}		35	V
Output Current	I_{OUT}		± 1.5	A
Logic Input voltage	V_{IN}		-0.3 to 7	V
Logic Supply voltage	V_{DD}		7	V
Motor Output Voltage			-2.0 to 37	V
Sense Voltage	V_{SENSE}		-0.5 to 0.5	V
Reference Voltage	V_{REF}		3	V
Operating Ambient Temperature	T_A	Range S	-20 to 85	$^\circ\text{C}$
Maximum Junction	$T_J(\text{max})$		150	$^\circ\text{C}$
Storage Temperature	T_{stg}		-55 to 150	$^\circ\text{C}$

电特性¹ at Ta = 25 °C, V_{BB} = 35 V, f_{PWM} < 55KHz

Parameter	Symbol	Conditions	Min	Typ ²	Max	Unit
Output Drivers						
Load Supply Voltage Range	V _{BB}	Operating	12		35	V
		During Sleep Mode	0		35	V
Output Leakage Current	I _{DDS}	V _{OUT} = V _{BB}		<1.0	50	μA
		V _{OUT} = 0 V		<-1.0	-50	μA
Logic Supply Voltage Range	V _{DD}	Operating	3.0		5.5	V
Output On Resistance	R _{DS(ON)}	Source Driver, I _{OUT} =-1.5A		540	600	mΩ
		Sink Driver, I _{OUT} =1.5A		540	600	mΩ
Body Diode Forward Voltage	V _F	Source Diode, I _F =-1.5A			1.2	V
		Sink Diode, I _F =1.5A			1.2	V
Motor Supply Current	I _{BB}	f _{PWM} <50kHz			8	mA
		Operating, outputs disabled			6	mA
		Sleep or Idle Mode			20	uA
Logic Supply Current	I _{DD}	f _{PWM} <50kHz			12	mA
		Operating, outputs disabled			10	mA
		Idle mode (Word 1, D18 = 0)			1.5	mA
		Sleep Mode			100	uA
Control Logic						
Logic Input Voltage	V _{IN(1)}		2			V
	V _{IN(0)}				0.8	V
Logic Input Current	I _{IN(1)}	V _{IN} =2V		<1.0	20	uA
	I _{IN(0)}	V _{IN} =0.8V		<1.0	-20	uA
Logic Input Hysteresis			0.2		0.4	V
Minimum sleep pulse width	t _s		>2			us
OSC input frequency	f _{OSC(in)}	Divide by 1 (Word 2, D13=0, D14=1)	2.5		6	MHz
OSC input duty cycle			40		60	%
Internal Oscillator	f _{OSC}	OSC shorted to GND	3	4	5	MHz
		ROSC= 51 kΩ	3.4	4	4.6	MHz
DAC Accuracy	V _{DAC}	Measured relative to REF buffer output		±0.5		LSB
Reference Input Voltage Range			0.5		2.6	V
Reference Buffer Offset	V _{OS}			±10		mV
Reference Divider Ratio	V _{REF} / V _{SENSE}	Word 0,D18=0, D17=1, V _{REF} =0.5 to 2.6V	7.4	8	8.8	
		Word 0,D18=1, D17=1, V _{REF} =0.5 to 2.6V	3.6	4	4.4	
Reference Input Current	I _{REF}	V _{REF} = 2.0 V	-0.5		0.5	uA
Internal Reference Voltage	V _{REFINT}		1.940	2.0	2.060	V
Comparator Input Offset Volt.	V _{IO}	V _{REF} = 0 V	-5		5	mV
G _M Error ³	V _{ERR}	Internal V _{REF} , Range=8, DAC=63	-6		6	%
		Internal V _{REF} , Range=8, DAC=31	-9		9	%
		Internal V _{REF} , Range=4, DAC=63	-6		6	%
		Internal V _{REF} , Range=4, DAC=15	-10		10	%

Propagation Delay Times	t _{pd}	50% to 90%; PWM change to source on	500	800	1000	ns
		50% to 90%; PWM change to source off	35		250	ns
		50% to 90%; PWM change to sink on	500	800	1000	ns
		50% to 90%; PWM change to sink off	35		250	ns
Crossover Dead Time	t _{DT}		300	650	900	ns
UVLO Enable Threshold	V _{UVLO}	VDD rising	2.7	2.8	2.9	V
UVLO Hysteresis	V _{UVLOHYS}			0.1		V
Protection						
Overcurrent Protection Threshold ⁴	I _{OCPS}		2			A
Overcurrent Blanking	t _{blank}		1		3	us
Thermal Shutdown Temperature	T _{TSD}			165		°C
Thermal Shutdown Hysteresis	T _{TSDHYS}			15		°C

¹对于输入/输出电流，我们将从指定器件引脚流出的电流定义为负电流。

²典型数据仅是在最佳制造和应用的假设条件下的数值，仅供初步设计估算使用。对于个体芯片，性能可能有所不同，在均在最大值和最小值间。

³ VERR = [(VREF / Range) - VSENSE] / (VREF / Range).

⁴ 过流保护(OCP) 门限值是指在T_A=25 °C下能够保证性能的值

串行接口描述

HR3992 通过三线串口总线控制。可编程功能允许最大灵活的配置 PWM 来匹配电机驱动。串行数据以两个 19 位的字来写入，其中一个比特来选择是哪一个字（这里称 WORD 0 和 WORD 1），其余 18 比特为数据。

WORD 0

位	功能	描述
D0	Word Select = 0	选择字 0
D1	Bridge 1, DAC, LSB	桥 1, 线性 DAC, 6 比特设置步进目标电流。 当设置所有比特为 0 时, 全桥 1 被关闭, 所有输出关闭。
D2	Bridge 1, DAC, Bit2	
D3	Bridge 1, DAC, Bit3	
D4	Bridge 1, DAC, Bit4	
D5	Bridge 1, DAC, Bit5	
D6	Bridge 1, DAC, MSB	
D7	Bridge 2, DAC, LSB	桥 2, 线性 DAC, 6 比特设置步进目标电流。 当设置所有比特为 0 时, 全桥 2 被关闭, 所有输出关闭。
D8	Bridge 2, DAC, Bit2	
D9	Bridge 2, DAC, Bit3	
D10	Bridge 2, DAC, Bit4	
D11	Bridge 2, DAC, Bit5	
D12	Bridge 2, DAC, MSB	
D13	Bridge 1 Phase	设置电机相 1 电流流向: 0 : OUT1A=L , OUT1B =H 1 : OUT1A=H , OUT1B =L
D14	Bridge 2 Phase	设置电机相 2 电流流向: 0 : OUT2A=L , OUT2B =H 1 : OUT2A=H , OUT2B =L
D15	Bridge 1 Mode	设置桥 1 衰减模式: 0 混合衰减 1 慢衰减
D16	Bridge 2 Mode	设置桥 2 衰减模式: 0 混合衰减 1 慢衰减
D17	Reference Select	设置参考电压选择: 0 内部 2 V 参考电压 1 外部 REF 管脚上电压
D18	Gm Range Select	除数因子选择: 0 /8 $I_{TRIP} = V_{DAC} / (R_{SENSE} \times 8)$ 1 /4 $I_{TRIP} = V_{DAC} / (R_{SENSE} \times 4)$

WORD 1

位	功能	描述
D0	Word Select = 1	选择字 1
D1	Blank Time LSB	设置消隐时间乘数因子。 D2 D1 Time 0 0 4 × Posc
D2	Blank Time MSB	0 1 6 × Posc 1 0 8 × Posc 1 1 12 × Posc
D3	Off Time LSB	5 比特设置固定关闭时间，提供给内部 PWM 控制电路。计算如下： $T_{off} = (1 + n) \times Posc \times 8 - Posc$, n = 0 to 31; 例如，当选择主频 4MHz (Posc=250ns), 则固定关闭时间从 1.75us 至 63.75us, 增量为 2us.
D4	Off Time Bit1	
D5	Off Time Bit2	
D6	Off Time Bit3	
D7	Off Time MSB	
D8	Fast Decay Time LSB	4 比特设置快衰时间，提供给内部 PWM 控制电路。计算如下： $T_{fd} = (1 + n) \times Posc \times 8 - Posc$, n = 0 to 15; 例如，当选择主频 4MHz (Posc=250ns), 则固定关闭时间从 1.75us 至 31.75us, 增量为 2us. 如果 $T_{fd} > T_{off}$, 设备工作在快衰减模式
D9	Fast Decay Time Bit1	
D10	Fast Decay Time Bit2	
D11	Fast Decay Time MSB	
D12	C0 Oscillator Control	2 比特设置时钟选择： D13 D12 source and rate 0 0 Internal clock 4 MHz
D13	C1 Oscillator Control	0 1 External clock f ÷ 1 1 0 External clock f ÷ 2 1 1 External clock f ÷ 4
D14	SR Control Bit 1	2 比特设置不同的同步整流功能： D15 D14 Synchronous Rectifier 0 0 Active 0 1 Disabled 1 0 Passive 1 1 Allegro defined use
D15	SR Control Bit 2	
D16	Reserved for testing	
D17	Reserved for testing	
D18	Idle Mode	空闲模式设置： 0 low power Idle mode, 输出关闭，电荷泵关闭 1 正常工作

功能描述

VREG: 电路内部产生的基准电压，用于低端门级驱动的 DMOS 电源。VREG 外部必须通过一个 0.22 μ F 电容耦合到地。VREG 被内部电路监视，当内部 VREG 没有正常工作时，DMOS 器件输出被禁止。

电荷泵 (CP1 和 CP2): 电荷泵用来生成一个高于 VBB 的电压，去驱动源 DMOS 的栅极。一个 0.22 μ F 的陶瓷电容接在 CP1、CP2 之间，实现电荷泵的目的。一个 0.22 μ F 陶瓷电容接在 VCP、VBB 之间，用来存储电荷，去驱动源 DMOS 器件。电容值需为 Class2 介质， $\pm 15\%$ 最大波动或者耐压 R 级，根据 EIA。

消隐(Blanking): 当输出在内部电流控制电路作用下开关时，该功能屏蔽电流检测比较器的输出，防止由于钳位二极管反向恢复电流，以及负载电容的开关瞬态电流导致的错误的过流检测。消隐时间由 WORD 1 的 D2、D1 和主频决定。

电流设置: 参考电压可以通过 REF 管脚模拟输入或者选择内部 2V 参考电压。参考电压和取样电阻觉得输出最大峰值电流，计算如下：

$$I_{TRIPMAX} = V_{REF} / (\text{Range} \times R_{SENSE}),$$

微步进电流大小设置如下：

$$I_{TRIP} = V_{DAC} / (\text{Range} \times R_{SENSE}),$$

$$V_{DAC} = ((1 + \text{DAC}) \times V_{REF}) / 64,$$

其中 DAC 为串行输入值，范围从 1 到 63 (WORD 0 的 D1 到 D12)，Range 为 4 或 8，由 WORD 0 的 D18 决定。当 DAC 被编程为 0 时，相应的全桥被关闭，输出最小负载电流。

PWM 时钟: PWM 时钟是可编程的通过串行接口，产生固定关闭时间的 PWM 信号来控制模块。在混合衰减模式，固定关闭时间的第一部分是快衰减，直到快衰减时间结束，跟着是慢衰减直到固定关闭时间结束。如果设置的快衰减时间大于固定关闭时间，则器件一直运行在快衰减模式。

振荡器: PWM 时钟是基于一个振荡频率输入，通常为 4MHz。HR3992 可以选择内部 4MHz 时钟，或者需要更高的精度，则一个外部时钟可以通过 OSC 管脚输入。如果选择外部时钟，内部 3 种分频方案可通过串行接口来选择，这样使得基于系统时钟更容易来选择 fosc。如果选择使用内部时钟，则绝对精度由 R、C 决定。一个高精度电阻连接在管脚 OSC 到 VDD，频率计算如下：

$$f_{osc} = 204 \times 10^9 / R_{osc}$$

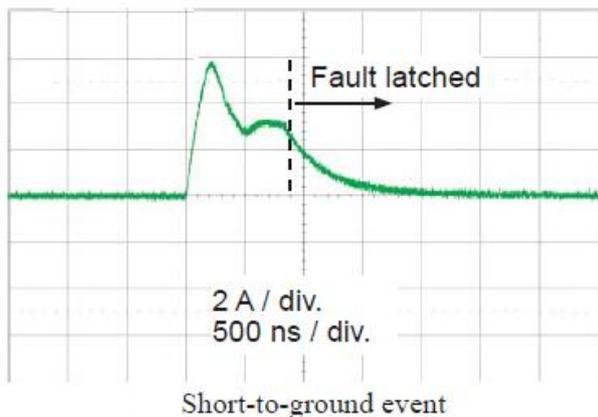
如果选择内部时钟，而没有外部电阻时，管脚 OSC 需接到 GND。

休眠模式(nSLEEP): 当器件不工作时，控制 SLEEP 引脚可将器件将进入休眠模式，从而大大降低器件空闲的功耗。进入休眠模式后器件的大部分内部电路包括 DMOS 输出电路、整流器及电荷泵等都将停止工作。SLEEP 引脚输入逻辑低电平时使器件进入睡眠模式。一旦 SLEEP 引脚被置低，串行接口被复位，除了 WORD 1 的 D7 (固定关闭时间的最高位) 被置 1 外，其余所有位被置 0。这是为了防止固定关闭时间太短，这会消耗一点点电流。当其输入逻辑高电平时，系统恢复到正常的操作状态并将器件的输出预置到 HOME 状态。为了内部电荷泵恢复稳定工作，在 SLEEP 恢复高电平并延时 1ms 后步进命令才能起作用。

SHUTDOWN 关断: 当温度超过结温，或者 VCP 或 VREG 欠压时，产生一个错误事件，此时电路的输出被禁止，直到电路脱离这个错误事件。在电路上电过程中，VDD 电压还没有达到电压阈值时，VDD 的欠压闭锁电路使驱动器禁能，串行接口数据被复位。

MUX: MUX 管脚为保留我司内部使用，对于终端客户没有任何功能。所以在使用中，可将此管脚接地或者悬浮。

对地短路保护: 当电机的一路发生对地短路, 流过此短路路径的电流会急剧上升, 直到超过过流保护阈值, 最小为 2A。此时, 经过一个可编程的短暂时, 驱动器会被关闭并且被锁定。芯片会被一直锁定, 直到 SLEEP 管脚被拉高, 或者 VDD 电源被去除。对地短路只会产生单个过流事件, 显示如下图。



同步整流(SR): 当一个 PWM 关闭循环被桥关断命令或者内部固定关闭时间触发, 负载电流会依据逻辑设置的衰减模式继续流通。在电流衰减期间, HR3992 的同步整流功能会打开对应的 FET, 由于 FET 的导通电阻低, 有效的使二极管短路。这样有效的降低了功耗, 同时, 在很多应用场合, 省去了外置肖特基二极管。

三种明显各异的模式可以通过串行接口控制:

1. *Active mode.*

不允许负载电流反向流通。当 0 电流水平被检测到, 同步整流被关断。

2. *Passive mode.*

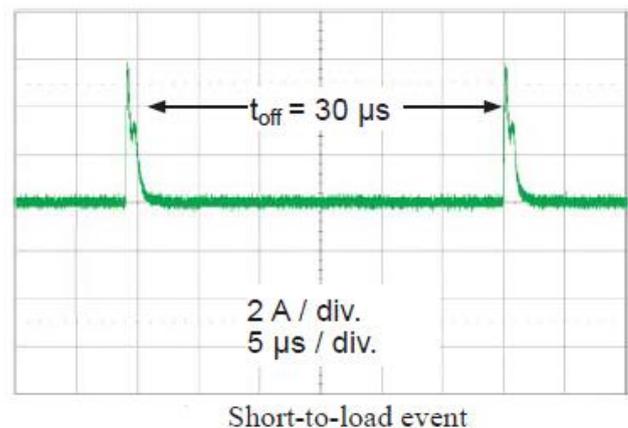
允许电流反向, 但是当反向电流达到设定阈值会关闭同步整流。

3. *Disabled.*

在固定关闭时间的快衰减部分, 不允许切换 MOSFET。当在慢衰减部分时, MOSFET 的低压侧被打开, 这样整流电流流经低压侧 MOSFET 和低压侧二极管。

负载短路保护: 当负载短路发生时, 电流流经路径经过取样电阻。此时器件会被保护, 但是器件不会认为这是一种错误事件, 因为电流路径没有被打断, 所以器件不会被锁定。

当一个桥被打开, 电流会上升, 然后超过过流阈值。经过一个消隐时间, 大概是 1 μ s, 驱动器会去检测 SENSE 管脚上的电压。此时, SENSE 管脚上的电压会超过依据由 REF 管脚设定的电压, 这样桥会被关闭一段时间, 时间长度由 OSC 管脚决定。下图显示了负载短路事件, 设置固定关闭时间为 30 μ s。



电路应用信息

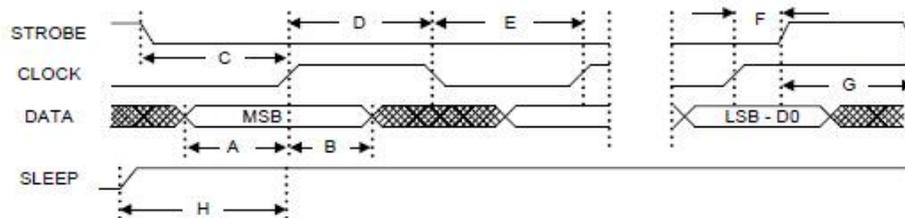
电流取样设置：为了减小因为地线上的寄生电阻引起的误差，马达电流的取样电阻 R_S 接地的地线要单独设置，减小其他因素引起的误差。单独的地线最终要连接到星状分布的地线总线上，该连线要尽可能的短，对小阻值的 R_S ，由于 R_S 上的压降 $V=I \cdot R_S$ 小于 0.5V，PCB 上的连线压降与 0.5V 的电压将显得不可忽视，这一点要考虑进去。

PCB 尽量避免使用测试转接插座，测试插座的连接电阻可能会改变 R_S 的大小，对电路造成误差。 R_S 值的选择遵循下列公式：

$$R_S = 0.5 / I_{TRIPmax}$$

热保护：当内部电路结温超过 165°C 时，过温模块开始工作，关断内部多有驱动电路。过温保护电路只保护电路温度过高产生的问题，而不应对输出短路的情况产生影响。热关断的阈值窗口大小为 15°C。

串行接口写时序：CLOCK 信号的上升沿，DATA 被移近寄存器。正常情况下，STROBE 保持高电平，只有当被置低时，才初始化一个写循环。数据最高位先被写进去。请参考下图时序。



Serial Port Timing Diagram

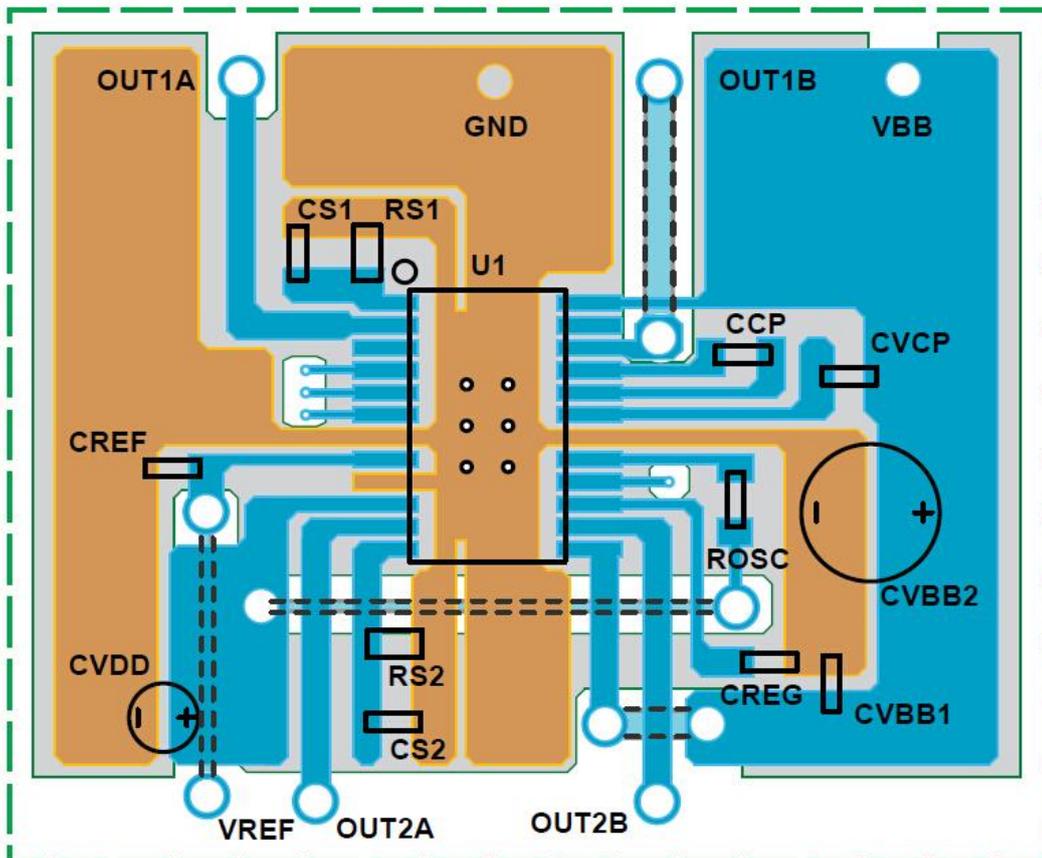
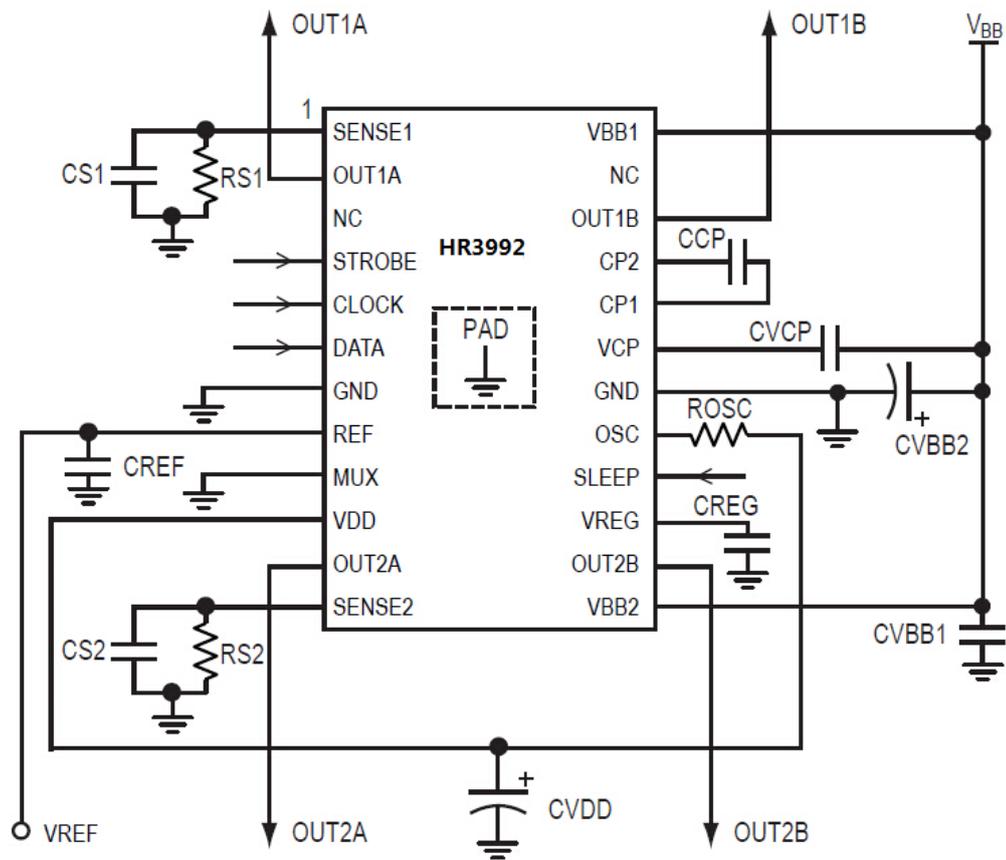
A. Minimum Data Setup Time	15 ns	F. Minimum Setup Clock rising edge to Strobe	50 ns
B. Minimum Data Hold Time	10 ns	G. Minimum Strobe Pulse Width	120 ns
C. Minimum Setup Strobe to Clock rising edge	120 ns	H. Minimum Sleep to Clock Setup Time	50 μ s
D. Minimum Clock High Pulse Width	40 ns	I. Setup "Idle" Release to Output Enable	1 ms
E. Minimum Clock Low Pulse Width	40 ns		

版图注意事项：PCB 板上应覆设大块的散热片，地线的连接应有很宽的地线覆线。为了优化电路的电特性和热参数性能，芯片应该直接紧贴在散热片上。

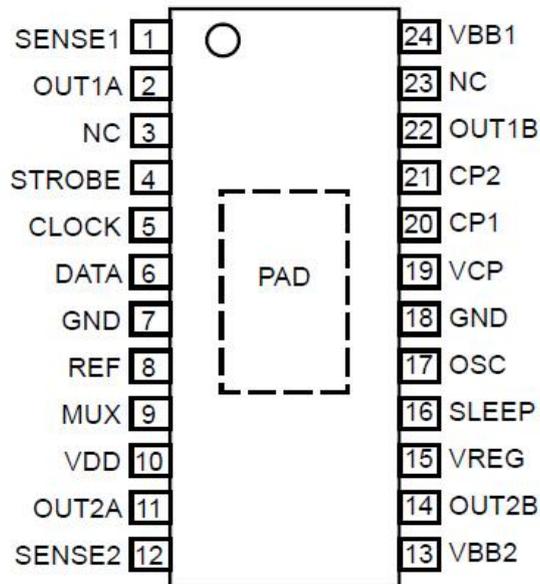
对电极电源 V_{BB} ，应该连接不小于 47 μ F 的电解电容对地耦合，电容应尽可能的靠近器件摆放。

为了避免因高速 dv/dt 变换引起的电容耦合问题，驱动电路输出端电路覆线应远离逻辑控制输入端的覆线。逻辑控制端的引线应采用低阻抗的走线以降低热阻引起的噪声。

地线设置：所有的地线都应连接在一起，且连线还应改尽可能的短。一个位于器件下的星状发散的地线覆设，将是一个优化的设计。在覆设的地线下方增加一个铜散热片会更好的优化电路性能。



Device Pin-out Diagrams

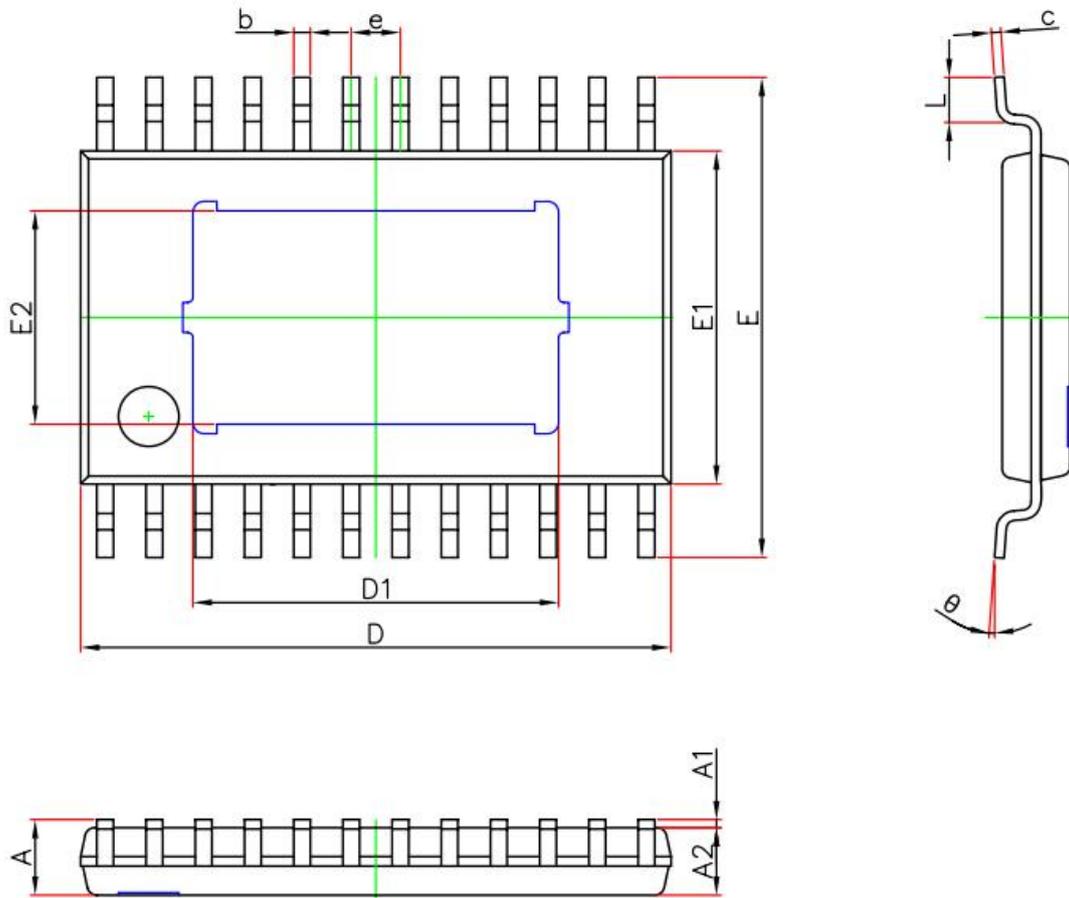


Terminal List Table

Number	Pin Name	Pin Description
1	SENSE1	Sense resistor terminal for Full Bridge 1
2	OUT1A	DMOS Full Bridge 1, output A
4	STROBE	Logic input
5	CLOCK	Logic input
6	DATA	Logic input
7,18	GND	Ground.
8	REF	G _m reference input
9	MUX	Not used
10	VDD	Logic supply
11	OUT2A	DMOS Full Bridge 2, output A
12	SENSE2	Sense resistor terminal for Full Bridge 2
13	VBB2	Load supply
14	OUT2B	DMOS Full Bridge 2, output B
15	VREG	Internal regulator
16	SLEEP	Logic input
17	OSC	Oscillator input
19	VCP	Reservoir capacitor terminal
20	CP1	Charge pump capacitor terminal
21	CP2	Charge pump capacitor terminal
22	OUT1B	DMOS Full Bridge 1, output B
24	VBB1	Load supply
3,23	NC	No connection
	PAD	Exposed thermal pad for enhanced thermal dissipation.

PACKAGE

TSSOP24 with exposed thermal pad



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	—	1.200	—	0.047
A1	0.050	0.150	0.002	0.006
A2	0.800	1.050	0.031	0.041
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
D	7.700	7.900	0.303	0.311
D1	4.730	4.930	0.186	0.194
E	6.250	6.550	0.246	0.258
E1	4.300	4.500	0.169	0.177
E2	2.750	2.950	0.108	0.116
e	0.650(BSC)		0.026(BSC)	
L	0.450	0.750	0.018	0.030
θ	0°	8°	0°	8°